

Caracterización eléctrica de nano-MOSFETs en tecnología SOI

John P. Artieda^{1*}, Lionel Trojman¹, Felice Crupi², Lars-Åke Ragnarson³

¹Universidad San Francisco de Quito, Colegio de Ciencias e Ingenierías –El Politécnico–
Calle Diego de Robles y Via Interoceánica, Campus Cumbayá

²Dipartimento Elettronica, Informatica e Sistemistica -DEIS-, Università della Calabria and IUNET
Via P. Bucci c/o Cubo 42/C, 87036 Arcavacata di Rende, Cosenza, Italia

³IMEC, 75 Kapeldreef, B-3001 Leuven, Bélgica

*Autor principal/Corresponding author, e-mail: john.artieda@stud.usfq.edu.ec

Editado por/Edited by: René Játiva, M.Sc.

Recibido/Received: 09/30/2012. Aceptado/Accepted: 11/19/2012.

Publicado en línea/Published on Web: 12/28/2012. Impreso/Printed: 12/28/2012.

Abstract

This paper reports about the extensive electrical characterization, with low distortion and greater reliability, of MOSFET devices at nanometric scales with ultra thin Fully Depleted (FD) type architecture on Silicon-On-Insulator (SOI) technology to reduce the short channel effects. The parameters of nMOS type devices of $10 \times 1 \mu\text{m}^2$ gate dimensions with conventional dielectric (SiON) and alternative high-k dielectric (HfO_2) are compared. The extracted parameters are: equivalent oxide thickness (EOT), threshold voltage (V_T) as a function of the SOI body voltage (V_B), transconductance (g_m), maximum transconductance ($g_{m,max}$) and its corresponding relation with mobility. The objective is to find if the classic electrical characterization methodology can be applied to the new ultra thin devices overcoming the challenges and physical difficulties imposed by the SOI technology and to demonstrate if the ultra thin devices behavior is similar to conventional MOSFETs. The semiconductor devices analyzed were provided by the IMEC consortium in Belgium and have been characterized in the new nanoelectronics laboratory at Universidad San Francisco de Quito (USFQ) in Ecuador.

Keywords. Electrical characterization, MOSFET, nMOS, nanoelectronics, FD architecture, SOI technology, conventional dielectric SiON, high-k dielectric HfO_2 , EOT, threshold voltage (V_T), transconductance (g_m).

Resumen

En esta investigación se reporta sobre la extensa caracterización eléctrica realizada, con poca distorsión y mayor fiabilidad, a dispositivos MOSFET de tamaño nanométrico con arquitectura ultra delgada tipo Fully Depleted (FD) en tecnología Silicon-On-Insulator (SOI) para reducir los efectos de canal corto. Se comparan los parámetros de dispositivos tipo nMOS, con tamaño de compuerta $10 \times 1 \mu\text{m}^2$, con dieléctrico convencional (SiON) y dieléctrico alternativo de alto k (HfO_2). Los parámetros que se extraen son: espesor equivalente de óxido (EOT), voltaje umbral (V_T) en función del voltaje de cuerpo SOI (V_B), transconductancia (g_m), pico de transconductancia ($g_{m,max}$) y su relación con la movilidad. El objetivo es encontrar si los métodos de caracterización eléctrica clásicos pueden ser aplicables para estos nuevos dispositivos superando los retos y dificultades físicas que impone la tecnología de construcción SOI y demostrar si su funcionamiento es como el de los MOSFET convencionales. Los dispositivos semiconductores analizados fueron provistos por el consorcio IMEC en Bélgica y han sido caracterizados en el nuevo laboratorio de nanoelectrónica de la Universidad San Francisco de Quito (USFQ) en Ecuador.

Palabras Clave. Caracterización eléctrica, MOSFET, nMOS, nanoelectrónica, arquitectura FD, tecnología SOI, dieléctrico convencional SiON, dieléctrico de alto k HfO_2 , EOT, voltaje umbral (V_T), transconductancia (g_m).

Introducción

La tecnología MOS es la base para el diseño de circuitos digitales actualmente y el MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) es el dispositi-

vo semiconductor más utilizado y constituye el elemento esencial para todo circuito digital moderno. Por ello, el análisis y caracterización eléctrica de los dispositivos FET a escala nanométrica es tan importante pues sirve

para comprobar si su comportamiento se apega a la teoría y para validar los procesos de producción.

Debido a la demanda de mejor desempeño, costo, velocidad así como de mayor densidad de dispositivos en un mismo circuito integrado, las dimensiones de los dispositivos se han reducido en gran manera. La fabricación de los MOSFET convencionales a tamaño nano- métrico se está acercando al límite físico y esto genera nuevos desafíos para los diseñadores. Estos retos se deben a efectos, antes despreciados, que se vuelven relevantes a las nuevas escalas nanométricas de trabajo como los efectos de canal corto y el aumento de la corriente de fuga de la compuerta con la consecuente pérdida de control sobre el canal en el MOSFET de tecnología plana.

Para solventar los efectos de canal corto se ha propuesto la fabricación de MOSFET en tecnología SOI y para reducir la corriente de fuga y mantener control sobre el canal se propone el reemplazo del dieléctrico por materiales de alta constante dieléctrica relativa o alto k .

Efectos de Canal Corto

Cuando la longitud de la compuerta (G) es reducida y el voltaje del drenaje (D) es lo suficientemente alto, las regiones de agotamiento de la fuente (S) y D se hacen comparables a la longitud del canal y ambas regiones llegan a tocarse. Bajo esta circunstancia se pierde el control que G ejerce sobre el potencial del canal. Esta proximidad de S con D , cuando el canal es pequeño, causa una reducción efectiva de la barrera de potencial del canal y permite el paso de electrones/huecos que forman una corriente indeseable que fluye entre S y D . A este fenómeno se le llama “punchthrough” [1].

Otro reto es que a longitudes pequeñas de compuerta un pequeño cambio estadístico en su producción, puede causar un gran cambio en el valor del voltaje umbral (V_T) lo que sin duda complica mucho la reproducibilidad para circuitos integrados a gran escala [2].

Aumento de la Corriente de Fuga

El espesor del óxido aislante, al igual que la longitud de la compuerta, se ha venido reduciendo significativamente acorde a la tecnología del transistor.

Existen 2 motivos para reducir el espesor del óxido. La primera es obtener una capacitancia del óxido aislante (C_{OX}) mayor y por tanto una corriente de activación del transistor (I_{ON}) mayor para maximizar la velocidad del circuito. La segunda razón es para controlar efectos de fuga en la región sub-umbral. Lamentablemente, no es posible obtener capas de óxido tan delgadas como se quisiera.

La producción de capas muy delgadas es difícil y a espesores menores a 1.5 nm el mayor limitante es la corriente de fuga que crece rápidamente por el efecto túnel. Por ejemplo para una capa de 1.2 nm de espesor la fuga puede ser de 10^3 A/cm², lo que en un chip de 1

mm² de área representa una corriente total de fuga de 10 A. Tal corriente es demasiado alta para dispositivos portátiles y las baterías no podrían soportar más allá de unos cuantos minutos [2].

Otro factor es que en capas muy delgadas el campo eléctrico en el óxido puede ser muy alto y causar rupturas destructivas. Incluso si no se causa ruptura, trabajar por largo tiempo bajo un campo muy alto y con temperaturas elevadas puede romper los enlaces atómicos de la interfaz Silicio-Óxido aislante. Esto produciría un desplazamiento en el valor de V_T lo que cambiaría el comportamiento del circuito y generaría problemas de fiabilidad [3].

La tecnología SOI

Los MOSFET SOI o Silicon-On-Insulator son dispositivos que se construyen en una capa fina de Silicio que se asienta sobre un aislante, usualmente SiO₂, al que se le llama óxido enterrado (BOX). Si la capa de silicio es lo suficientemente delgada, la zona de agotamiento se extiende desde debajo de la compuerta hasta el óxido enterrado y el dispositivo se llama “Fully Depleted” o de agotamiento completo (FD). En caso contrario se llama “Partially Depleted” o de agotamiento parcial (PD).

Con los MOSFET SOI FD se obtienen varios beneficios para solventar los retos de diseño. Por ejemplo la corriente de saturación del drenaje es mayor para los MOSFET SOI que para los de bulto. Y con ellos se reducen considerablemente los efectos de canal corto [2].

Además ayudan considerablemente a mejorar el escalamiento y el desempeño de los dispositivos debido a lo delgado del cuerpo para el canal. Esta característica hace que casi no suceda el “punchthrough” y que el canal se mantenga ligeramente dopado [1].

La capa de óxido enterrado (BOX), en contacto con S y D , sirve como buen aislante para reducir la capacitancia del sustrato y por ende mejorar la velocidad del transistor. También, mejora el consumo de potencia debido a que reduce la corriente de fuga que existía entre uniones p-n (tipo diodo) entre S o D con el sustrato [4].

Reemplazo del Dieléctrico Aislante

En vista de las limitaciones en la reducción del espesor de la capa de óxido (t_{OX}), los investigadores han reemplazado al SiO₂ por otros dieléctricos de alto k . De modo que al usar un material con alto k , mucho mayor que en el caso del SiO₂, el espesor de la capa del aislante con el nuevo material (t_{alto-k}) resulta ser más alto y produce el mismo C_{OX} , que asegura el mismo control de canal.

La ventaja de este reemplazo de materiales es que la capa de aislante es más gruesa y la barrera de potencial es mayor lo cual evita el efecto túnel de electrones/huecos, y esto conlleva una gran reducción en la corriente de fuga [5].

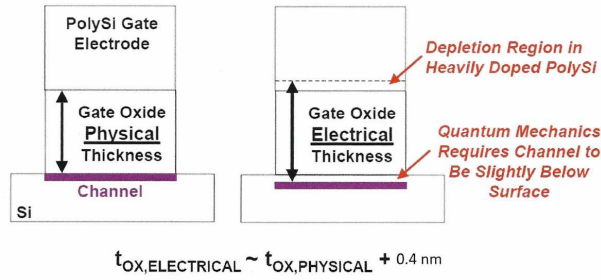


Figura 1: Espesor Eléctrico Efectivo > Espesor Físico del Óxido [4]

Métodología

Muestras

Las estructuras bajo análisis son muestras de arquitecturas bajo investigación que aún no se encuentran disponibles comercialmente y se obtuvieron gracias a la colaboración de IMEC con la USFQ. La particularidad que poseen es que el espesor de todas sus partes es muy delgado mientras que los dispositivos SOI comunes son bastante más gruesos y se encuentran en el orden de 100 a 300 nm de espesor para el sustrato de silicio y de óxido.

Los dispositivos MOSFET analizados son nMOS de tipo SOI FD con cuerpo ultra fino (UTB). La compuerta es metálica (TiN) de tamaño $10 \times 10 \mu\text{m}^2$ y espesor 10 nm. El dieléctrico aislante tiene un espesor físico aproximado de 2nm y puede ser SiON o HfO₂. El espesor del canal de silicio es de 8nm y la capa de óxido enterrado SiO₂ (BOX) es de 10nm.

Mediciones

El principal equipo utilizado para realizar las mediciones fue el Sistema de Caracterización de Semiconductores Keithley Modelo 4200-SCS disponible en el laboratorio de nanoelectrónica de la USFQ.

Característica C-V: si se conoce el valor de C_{OX} es posible relacionarlo con el espesor del óxido (t_{OX}) conociendo su permitividad eléctrica (ϵ_{OX}) acorde a la ecuación (1).

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} = \frac{3,9\epsilon_0}{t_{OX}} [F/cm^2] \quad (1)$$

Como los dispositivos analizándose son de tipo SOI, se presenta un reto en la medición de la capacitancia del óxido porque la capacitancia de la compuerta no presenta ninguna característica de acumulación adecuada debido a que no existe un contacto de bulbo.

Para obtener una curva característica C-V de la compuerta. Se utiliza una señal de baja frecuencia en una polarización en inversión de modo que las cargas en inversión respondan de manera correspondiente a la señal aplicada.

Una vez obtenidos los datos experimentales para la curva característica C-V de la compuerta aparecen problemas que afectan la exactitud en la extracción de la capacitancia:

1. Capacitancias parásitas.
2. El efecto “dark space”: efectos de mecánica cuántica que producen una repulsión de la capa de inversión, es decir que las cargas se encuentran ligeramente por debajo de la superficie de la interfaz dieléctrico-canal [1].
3. Poly-depletion: agotamiento del poli-silicio de compuerta.

De modo que la Capacitancia máxima que se halla en la curva C-V (sin $C_{parásitas}$) corresponde a un valor menor que C_{OX} , un valor conocido como Capacitancia de inversión (C_{inv}), y su correspondiente espesor de inversión (t_{inv}) mayor que t_{OX} , y que responden a la ecuación (2) y (3). Este valor también nos es de interés pues la reducción de capacitancia afecta a la velocidad de trabajo del dispositivo.

$$C_{inv} = \frac{\epsilon_{OX}}{t_{inv}} \quad (2)$$

$$t_{inv} = EOT + \Delta t \quad (3)$$

donde EOT es el espesor de óxido equivalente (Equivalent Oxide Thickness), Δt es la variación del espesor eléctrico efectivo con respecto al físico ($\approx 0.4 \text{ nm}$ (dark space) + 0.4 nm (poly-depletion)).

El espesor eléctrico efectivo hallado es mayor que el espesor físico del óxido, como se puede observar en la Fig. 1. El aumento en el espesor eléctrico se debe al efecto “poly-depletion” y al efecto “dark space”. Cada efecto contribuye a un crecimiento de aproximadamente 0.4 nm del espesor eléctrico efectivo con respecto al físico. Esta corrección se vuelve más importante cuando se disminuye el espesor de t_{OX} [4].

En los dispositivos utilizados en esta investigación, la compuerta de Poli-Silicio ha sido reemplazada por una compuerta metálica con el objetivo de suprimir el efecto “poly-depletion”. Esto se consigue gracias a la alta concentración de portadores del metal.

Por tanto, en esta investigación solo se debe compensar por los efectos mecánico cuánticos y por ello se justifica la aproximación en la Fig. 1 y en la ecuación (5).

EOT- Experimental: EOT (Equivalent Oxide Thickness) es una métrica definida para realizar una comparación entre SiO₂ y diferentes dieléctricos de alto-k. Representa el espesor de SiO₂ que sería requerido para lograr la misma capacitancia de óxido que la del material de alto-k considerado, ecuación (4).

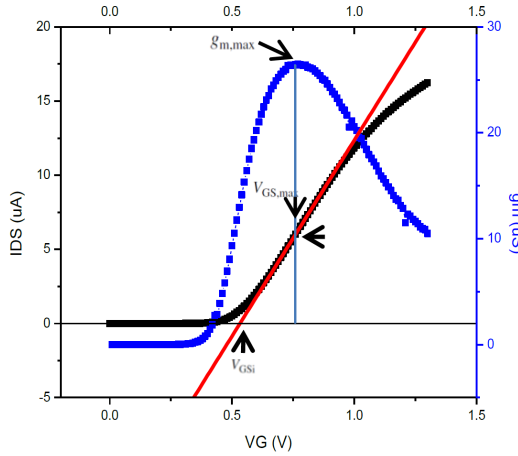


Figura 2: Obtención de VT Método del pico de transconductancia [5]

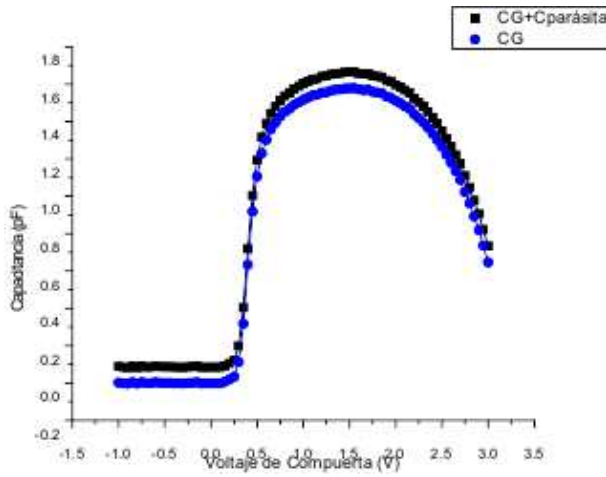


Figura 3: C-V-nMOS- 10x10 μm²- SiON

$$EOT = \left(\frac{\epsilon_{OX}}{\epsilon_{alto-k}} \right) t_{alto-k} \quad (4)$$

Utilizando la ecuación (5), se puede obtener un valor aproximado de EOT del dispositivo bajo análisis.

$$EOT = \left(\frac{\epsilon_{OX}}{C_{inv}} \right) \approx t_{inv} - 0,4nm \quad (5)$$

En la obtención de este parámetro se utiliza un software de simulación para comprobar la aproximación de EOT de los resultados experimentales; el software a utilizarse es el presentado por J.R. Hauser y K. Ahmed [6]. Este programa toma como datos de entrada la curva C-V del MOSFET. Utilizando un algoritmo no lineal de mínimos cuadrados realiza cálculos con consideraciones de efectos físicos de mecánica cuántica para hallar los parámetros del transistor, entre ellos EOT.

Característica I-V: la curva I_D-V_{GS} para los MOSFET SOI FD utilizados permite obtener la característica de transconductancia (g_m) del transistor para el mismo rango de voltaje.

$$g_m = \frac{\Delta I_{out}}{\Delta V_{in}} \rightarrow g_m = \frac{dI_D}{dV_{GS}} [S] \quad (6)$$

Para obtener el valor del voltaje umbral (V_T), se aplica el método del pico de la transconductancia ($g_{m,max}$) y una extrapolación lineal, ver Fig. 2. Dado que para esta caracterización se utiliza un valor bajo de corriente de drenaje, la resistencia en serie es usualmente despreciable y se puede aplicar el método con tranquilidad.

En este método $g_{m,max}$ es el valor máximo de la curva dI_D/dV_{GS} y se lo utiliza para hallar el punto de inflexión de la curva I_D-V_{GS} para la región triodo de operación (es decir con V_D bajo), que es cuando se obtiene el valor máximo de transconductancia. En este punto se grafica una tangente a la curva I_D-V_{GS} , y el lugar de intersección de la tangente con el eje x, es decir $I_D=0$, indica el valor extrapolado de V_T . Sin embargo, hay que introducir una corrección ya que la corriente del drenaje no es exactamente cero por debajo de V_T y se acerca al eje x sólo de manera asintótica. Por tanto, el valor extrapolado en la intersección de la curva I_D-V_{GS} es V_{GSi} y permite hallar el valor de V_T de acuerdo a la ecuación (7) [5].

$$V_T = V_{GSi} - V_{DS}/2[V] \quad (7)$$

Resultados y Discusión

Extracción de C_{inv} , t_{inv} y EOT

Para la extracción de los parámetros deseados se elaboraron gráficos de datos $C_G - V_G$ (Fig. 3 y Fig. 4).

Para realizar las mediciones del MOSFET se colocó S y D en corto circuito, se aplicó un voltaje de cuerpo $V_B = 0 V$ y se emitió una señal de Frecuencia = 500 kHz en G. Con ello la medición obtenida entre G y el canal fue $C_G+C_{parásita}$. Para hallar sólo C_G , se resta el desplazamiento vertical por sobre el eje x de la curva, este desplazamiento corresponde a $C_{parásita}$.

Para hallar C_{inv} se extrae el valor máximo de C_G y para la extracción de los parámetros t_{inv} y EOT se utilizaron las ecuaciones (2) y (5).

Los resultados son presentados en la Tabla 1

Tipo Dieléctrico	$C_{parásita}$ pF	C_{inv} pF	t_{inv} nm	EOT nm
Alto k	0.083	2.772	1.246	0.846
SiON	0.086	1.579	2.187	1.787

Tabla 1: C_{inv} , t_{inv} , EOT

Extracción de V_t y g_m

Para la extracción de V_T se aplicó el método de $g_{m,max}$ y una extrapolación lineal, como en la Fig. 2, y se realizó la corrección del valor extrapolado acorde a la ecuación (7).

Los datos correspondientes a $I_{DS}-V_G$ fueron tomados aplicando $V_S=0 V$, $V_D=50 mV$ y considerando la ecuación (8).

$$I_{DS} = (I_D - I_S)/2[A] \quad (8)$$

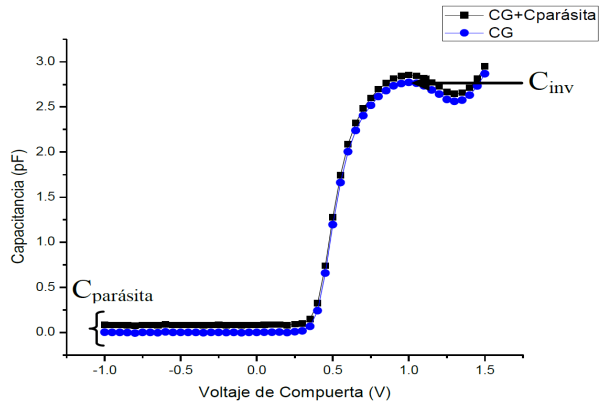


Figura 4: C-V-nMOS- 10x10 μm²- Alto k

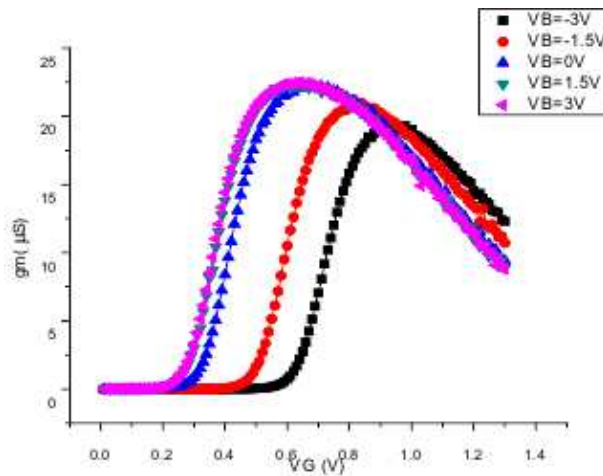


Figura 5: gm-VG-nMOS- 10x10 μm²- SiON

La Fig. 5 y la Fig. 6 muestran las curvas g_m-V_G acorde a la ecuación (6) para valores de V_B desde -3.0V a 3.0V con saltos de 1.5V.

Los resultados que se presentan en la Tabla 2 y la Fig. 7 muestran los valores de $g_{m,max}$ para los diferentes valores de V_B . Y en la Tabla 3 junto a la Fig. 8 se muestra la relación entre los valores de V_T con los distintos valores de V_B .

Uno de los objetivos de la caracterización es comprobar si los dispositivos ultra delgados muestran un comportamiento consistente con la teoría y análisis documentados en literatura científica sobre los dispositivos SOI más gruesos.

Característica C-V

Se encuentra que la $C_{parásita}$ es similar para ambos dieléctricos lo que hace pensar que la mayor parte de esta $C_{parásita}$ viene dada por los contactos de los terminales y por el ruido en las mediciones.

Se observa que el valor de EOT para el dieléctrico de alto k es más pequeño que para el dieléctrico SiON. Este resultado es consistente con la teoría sobre los dieléctricos de mayor constante dieléctrica, pues su objetivo es

	SiON	Alto k
VB(V)	$g_{m,max}$ (μS)	$g_{m,max}$ (μS)
-3.0	19.77	19.37
-1.5	23.89	20.97
0.0	26.40	22.37
1.5	27.28	22.48
3.0	30.88	22.51

Tabla 2: $g_{m,max}$ -nMOS- 10x10 μm²

proporcionar un EOT más bajo que su espesor físico real ya que con estos materiales el transistor sufre de menos fuga de corriente [7].

Característica I-V

El método del pico de la transconductancia con una extrapolación lineal para obtener el valor de V_T no presentó ninguna complicación y se pudo aplicar precisamente como lo explica la teoría [5].

En la Tabla 2 y en la Fig. 7 se puede observar que para los dispositivos con dieléctrico SiON los valores de $g_{m,max}$ siempre son mayores que para los de dieléctrico de alto k: $g_{m,max} SiON > g_{m,max} alto - k$. Como $g_m \propto \mu C_{inv}$ (misma dimensión y polaridad que D) donde μ es la movilidad efectiva de portadores, y $C_{inv} SiON < C_{inv} alto - k$, entonces $\mu_{SiON} > \mu_{alto-k}$.

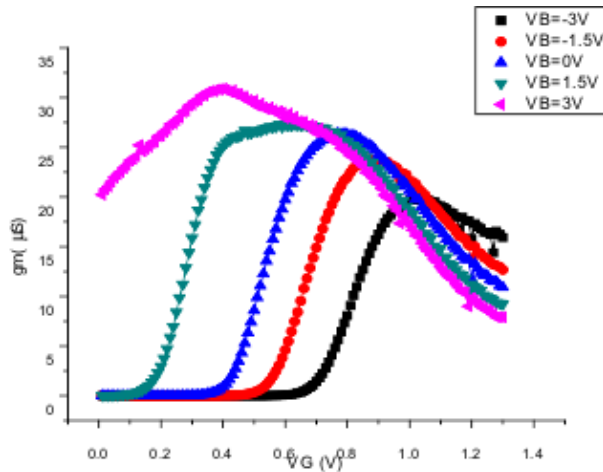
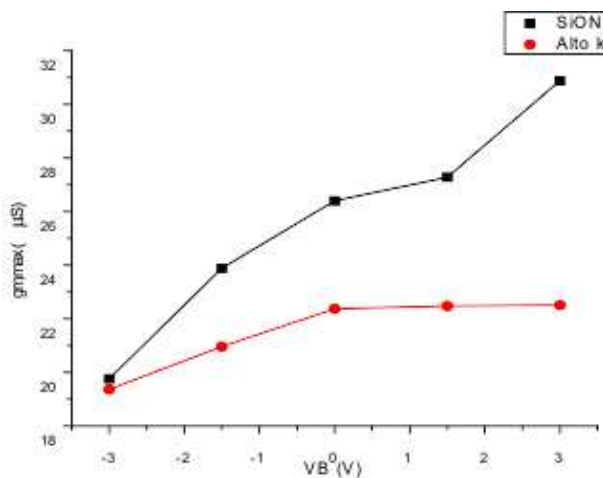
Esto se debe a que los materiales de alto k tienen una mayor cantidad de defectos en el material y por ello se producen mayor cantidad de colisiones Coulómbicas de manera remota que en materiales como el SiON o el SiO₂ [8]. Esto causa que la movilidad de los MOS-FET con estos materiales aumente y es lógico pensar que se alcanza un mayor $g_{m,max}$ cuando μ también ha aumentado [9]. Esto en conceptos físicos significa que el transistor maximiza su entrega de corriente a la salida cuando el canal ha alcanzado la mayor cantidad de portadores moviéndose a mayor velocidad a través de su red cristalina.

En la misma Fig. 7 se observa una característica lineal de $g_{m,max}$ con V_B debido a que en estos dispositivos con espesor muy delgado de BOX, el sustrato de cuerpo actúa como si fuese una segunda compuerta o back gate y activa un canal que posee mayor μ_{eff} porque el BOX es SiO₂. Este resultado es consistente con los resultados obtenidos por simulación [10].

La Tabla 3 y la Fig. 8 también muestran una relación lineal entre V_T y V_B . La variación de V_T se debe a un acoplamiento del potencial de superficie entre el back gate y G, resultado consistente con la literatura científica [11].

	SiON	Alto k
VB(V)	V_T (V)	V_T (V)
-3.0	0.699	0.789
-1.5	0.575	0.644
0.0	0.399	0.513
1.5	0.354	0.260
3.0	0.348	-

Tabla 3: V_T -nMOS- 10x10 μm²

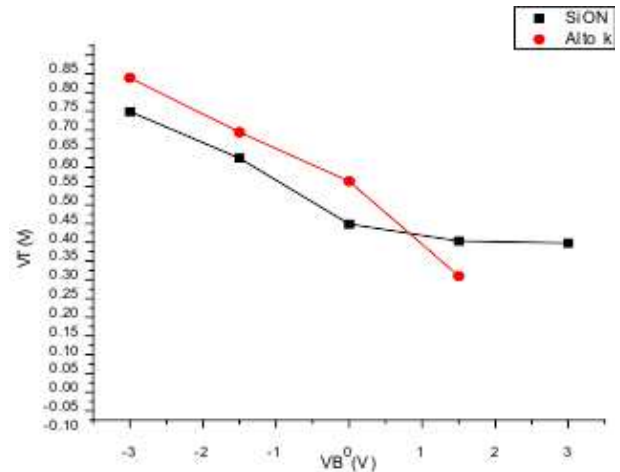
Figura 6: g_m - V_G - nMOS0- $10 \times 10 \mu m^2$ - Alto kFigura 7: $g_{m,max}$ - V_G - nMOS- $10 \times 10 \mu m^2$

Conclusiones

Los valores de espesor equivalente de óxido (EOT) de los dispositivos con SiON y HfO_2 han sido extraídos experimentalmente con mediciones C-V y se han incluido correcciones cuánticas en su cálculo. Se ha obtenido una buena concordancia con los EOT encontrados por simulación.

Los valores de voltaje umbral (V_T) en función del voltaje de cuerpo SOI (V_B) han sido extraídos experimentalmente con mediciones ID-VG. Una dependencia lineal ha sido encontrada en buena concordancia con la teoría para dispositivos de bajo espesor de Óxido Enterrado (BOX).

Los valores de transconductancia (g_m) en dispositivos con SiON y HfO_2 han sido extraídos experimentalmente con mediciones ID-VG. Valores menores de $g_{m,max}$ han sido obtenidos para MOSFET con dieléctrico HfO_2 debido a una menor movilidad. Esta menor movilidad es causada por una alta cantidad de colisiones Coulómbicas originadas por la densidad de defectos en el dieléctrico, que en el caso del HfO_2 es mayor que en el SiON.

Figura 8: V_T - V_B - nMOS- $10 \times 10 \mu m^2$

Agradecimientos

Al consorcio IMEC, a través del convenio IMEC-USFQ, por habernos provisto de las muestras analizadas.

A la USFQ por el esfuerzo emprendido en el área de la nanotecnología y por el acceso a los nuevos laboratorios donde se pudo realizar esta investigación, la primera tesis en nanotecnología del Ecuador.

Referencias

- [1] Sze, S.M.; Kwok, K.N. 2007. "Physics of Semiconductor Devices." Wiley: Hoboken, NJ
- [2] Colinge, J., Colinge, C. A. 2005. "Physics of Semiconductor Devices." Kluwer Academic Publishers: New York, NY.
- [3] Trojman, L. 2011. "Principio de funcionamiento del mosfet y scaling." Universidad San Francisco de Quito, Disertación. Quito, Ecuador.
- [4] Crupi, F. 2012. "Nanodevices for Logic and Memory Applications." Universidad San Francisco de Quito, Disertación. Quito, Ecuador.
- [5] Schroeder, D. 2006. "Semiconductor Material and Device Characterization." Wiley: Hoboken, NJ.
- [6] Hauser, J. R.; Ahmed, K. 1998. "Characterization of Ultra-Thin Oxides Using Electrical C-V and I-V Measurement." Characterization and Metrology for ULSI Technology. AIP Conf. Proc. 449: 235-239.
- [7] Doering R., Nishi, Y. 2008. "Handbook of Semiconductor Manufacturing Technology." CRC Press: Boca Raton, FL.
- [8] Takagi, S. 1994. "On the Universality of Inversion Layer Mobility in Si mosfet's: Part I - Effects of Substrate Impurity Concentration." *IEEE Transactions on Electron Devices* 41(12): 2357-2362.
- [9] Ragnarsson, L.A.; Pantisano, L.; Kaushik, V.; Saito, S.I.; Shimamoto, Y.; DeGendt, S.; Heyns, M. 2004. "The impact of Sub Monolayers of HFO2 on the Device Performance of High-k Based Transistors [mosfets]." *IEEE International Electron Devices Meeting (IEDM)*. 4.2.1-4.2.4.

- [10] Bustamante, J.; Trojman, L. 2012. "Ultra-thin Depleted Silicon on Insulator mosfet: A Simulation Based on COMSOL Multiphysics." *Avances en Ciencias e Ingenierías*. 4(1): C42-C45.
- [11] Lim, H.K.; Fossum, J. 1983. "Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) mosfet's." *IEEE Transactions on Electron Devices*. ED-30(10): 1244-1251.